

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-189324
(43)Date of publication of application : 10.07.2001

(51)Int.CI. H01L 21/338
H01L 29/812
H01L 21/312

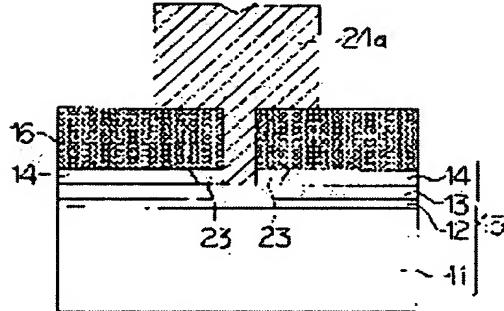
(21)Application number : 11-375368 (71)Applicant : RICOH CO LTD
(22)Date of filing : 28.12.1999 (72)Inventor : YONEDA YUTAKA
MORI KOJI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device of low parasitic capacity which is superior in high-frequency characteristics.

SOLUTION: Related to an HEMT substrate 15, an n+-GaAs contact layer 14 on an n-AlGaAs electron supply layer 13 is selectively removed, to form a recess channel 23. A polyparaxylilene film 16 of the dielectric constant of about 2.4 is formed on the n+-GaAs contact layer 14, while an opening part 18b is formed above the recess channel 23. A Ti/Pt/Au gate electrode 24a of T-type structure which is Schottky-junctioned to the n-AlGaAs electron supply layer 13 via the opening part 18b is formed in the recess channel 23. Related to the HEMT of recess gate structure, the polyparaxylilene film 16 of dielectric constant about 2.4 is used as an insulating film near the Ti/Pt/Au gate electrode 24a of a T-type structure.



11-半導体装置
12-高効率ロードマスクチャーフ
13-n-AlGaAs電子供給層
14-n+-GaAs接触層
15-HEMT基板
16-ポリパラキシリレン層
23-リセス溝
24a-T型構造のTi/Pt/Auゲート電極

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int. Cl. 7
H01L 21/338
29/812
21/312

識別記号

F I
H01L 21/312
29/80

A 5F058
F 5F102

テマコト (参考)

審査請求 未請求 請求項の数 5 O L (全9頁)

(21) 出願番号

特願平11-375368

(22) 出願日

平成11年12月28日 (1999. 12. 28)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 米田 豊

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72) 発明者 森 孝二

東京都大田区中馬込1丁目3番6号 株式会社リコー内

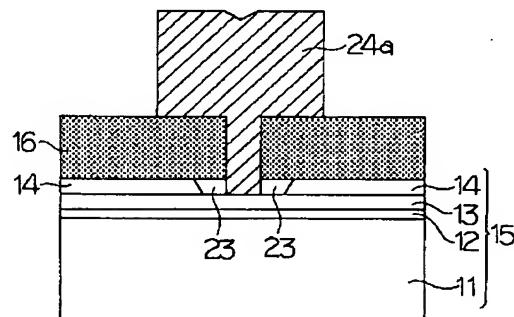
最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【要約】

【課題】 本発明は、寄生容量が小さくて、高周波特性に優れている半導体装置を提供することを目的とする。

【解決手段】 HEMT基板15におけるn-AIGaAs電子供給層13上のn'-GaAsコンタクト層14が選択的に除去され、リセス溝23が形成されている。また、n'-GaAsコンタクト層14上には、比誘電率2.4程度のポリパラキシリレン膜16が形成されていると共に、リセス溝23上方に開口部18bが形成されている。そして、リセス溝23内において開口部18bを介してn-AIGaAs電子供給層13にショットキー接続するT型構造のTi/Pt/Auゲート電極24aが形成されている。即ち、リセスゲート構造のHEMTにおいて、T型構造のTi/Pt/Auゲート電極24a近傍の絶縁膜として、比誘電率2.4程度のポリパラキシリレン膜16が用いられている。



11…半絶縁性GaAs基板

12…高純度GaAsチャネル層

13…n-AIGaAs電子供給層

14…n'-GaAsコンタクト層

15…HEMT基板

16…ポリパラキシリレン膜

23…リセス溝

24a…T型構造のTi/Pt/Auゲート電極

【特許請求の範囲】

【請求項1】 半導体基板と、前記半導体基板上に形成された絶縁膜と、前記絶縁膜に開口された開口部を介して、前記半導体基板上に形成されたゲート電極と、を有する半導体装置であって、

前記絶縁膜の比誘電率が、1乃至3.5であることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記絶縁膜が、炭素原子を含む有機系誘電体膜であることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、前記絶縁膜が、フッ素原子を含む誘電体膜であることを特徴とする半導体装置。

【請求項4】 請求項1記載の半導体装置において、前記絶縁膜が、ホウ素原子を含む誘電体膜であることを特徴とする半導体装置。

【請求項5】 請求項1乃至4のいずれかに記載の半導体装置において、前記ゲート電極が、T型構造であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置に係り、特にHEMT (High Electron Mobility Transistor; 高電子移動度トランジスタ) や、MESFET (Metal Semiconductor Field Effect Transistor; 金属半導体電界効果トランジスタ) 等の電界効果型半導体装置に関するものである。

【0002】

【従来の技術】 近年コンピュータシステムの高速化の要請に伴い、集積回路装置の高速化の要求が強くなっている。特に、GaAs (ガリウム砒素) をはじめとする化合物半導体はSi (シリコン) と比較して大きな電子移動度を有するため、集積回路装置への適用が大いに期待されている。

【0003】 従来のHEMTやMESFET等の電界効果トランジスタにおける微細かつ低抵抗のゲート電極の形成方法として、特開平5-326564号公報に記載の方法が提案されている。以下、上記提案に係るリセスゲート構造のMESFETの製造方法を、図14～図19の工程断面図を用いて説明する。

【0004】 なお、各図において、符号31は半絶縁性GaAs基板、符号32はGaAsバッファ層、符号33a、33bはn-GaAs層、符号34a、34bはn-AlGaAs層、符号35はn'-GaAs層、符号36はSiON (酸化窒化珪素) 膜、符号37はホトレジスト、符号38は第1のリセス (recess) 溝、符号39はSiO₂ (二酸化珪素) サイドウォール、符号40は第2のリセス溝、符号41はTi/Pt

/Auゲート電極、符号42aはAuGe/Ni/Auゲート電極、符号42bはAuGe/Ni/Auソース電極、符号42bはAuGe/Ni/Auドレイン電極をそれぞれ示す。

【0005】 先ず、図14に示されるように、半絶縁性GaAs基板31上に、GaAsバッファ層32、n-GaAs層33a、n-AlGaAs層34a、n-GaAs層33b、n-AlGaAs層34b、及びn'-GaAs層35を順にエピタキシャル成長させた後、このn'-GaAs層35上に、SiON膜36を約200nm堆積する。

【0006】 次いで、図15に示されるように、このSiON膜36上にホトレジスト37を塗布形成した後、ゲート電極形成予定領域に径0.5μmの開口パターンを形成する。続いて、この開口パターンを有するホトレジスト37をマスクとして、RIE (Reactive Ion Etching; 反応性イオンエッティング) により、SiON膜36を選択的に異方性エッティングし、更にn'-GaAs層35及びn-AlGaAs層34bを選択的に異方性エッティングする。こうして、ゲート電極形成予定領域に、n-GaAs層33b上のn-AlGaAs層34a及びn'-GaAs層35が選択的に除去された第1のリセス溝38を形成する。

【0007】 次いで、図16に示されるように、ホトレジスト37を除去した後、プラズマCVD (Chemical Vapor Deposition; 化学的気相成長) により、SiO₂膜を400nm堆積する。そして、RIEにより、このSiO₂膜を異方性エッティングして、第1のリセス溝38の側壁にSiO₂膜を残存させ、約0.2μm幅のSiO₂サイドウォール39を形成する。

【0008】 次いで、図17に示されるように、SiON膜36及びSiO₂サイドウォール39をマスクとして、n-GaAs層33b及びn-AlGaAs層34aを選択的にエッティング除去し、SiO₂サイドウォール39下に約0.1μmのアンダーカットを形成する。こうして、ゲート電極形成予定領域に、n-GaAs層33a上のn-GaAs層33b及びn-AlGaAs層34aが選択的に除去された第2のリセス溝40を形成する。

【0009】 次いで、図18に示されるように、基体全面にTi膜、Pt膜、及びAu膜を順に蒸着して、Ti/Pt/Au積層膜を形成した後、このTi/Pt/Au積層膜をイオンミリングにより選択的にエッティングする。こうして、第2のリセス溝40内において、n-GaAs層33aにショットキー接続するマッシュルーム型のTi/Pt/Auゲート電極41を形成する。

【0010】 最後に、図19に示されるように、SiON膜36を除去した後、基体全面にAuGe膜、Ni膜、及びAu膜を順に蒸着して、AuGe/Ni/Au積層膜を形成する。こうして、Ti/Pt/Auゲート

電極41上にオーミックに接続するAuGe/Ni/Auゲート電極42a、このAuGe/Ni/Auゲート電極42aを間に挟んで両側のn'-GaAs層35上にそれぞれオーミックに接続するAuGe/Ni/Auソース電極42b及びAuGe/Ni/Auドレイン電極42cを形成する。

【0011】このようにして、第1のリセス溝38の側壁に形成したSiO₂サイドウォール39に挟まれた間に規定される微細なゲート長のTi/Pt/Auゲート電極41を有するMESFETが完成する。

【0012】以上述べたような従来のMESFET等の電界効果トランジスタにおけるゲート電極の製造方法においては、図15に示されるホトレジスト37の開口条件、SiON膜36のR1Eによる異方性エッチング条件、n'-GaAs層35及びn-AlGaAs層34bのR1Eによる異方性エッチング条件、更には図16に示されるようなSiO₂サイドウォール39の堆積条件とR1Eによる異方性エッチング条件とを駆使することにより、Ti/Pt/Auゲート電極41のゲート長の微細化が可能となっている。

【0013】

【発明が解決しようとする課題】しかしながら、上記従来の電界効果トランジスタの製造方法においては、絶縁膜として、SiON膜36やSiO₂サイドウォール39等のSiO系絶縁膜を使用している。そして、こうしたSiO系絶縁膜は比較的高い比誘電率を有している。例えばSiON膜の比誘電率は、O(酸素)及びN(窒素)の比で変化するものの、4~6程度である。また、SiO₂膜の比誘電率は3.9程度である。

【0014】このように比誘電率の高い絶縁膜をゲート電極の近傍に使用している限り、寄生容量が大きくなることは避けられないため、たとえ電界効果トランジスタの高周波特性を向上させるために、ゲート長を短縮したり、移動度の高い半導体材料を用いたりしても、電界効果トランジスタの高周波特性の向上には限界がある。

【0015】そこで本発明は、以上の問題点に鑑みてなされたものであり、寄生容量が小さくて、高周波特性に優れている半導体装置を提供することを目的とする。

【0016】

【課題を解決するための手段】上記課題は、以下の本発明に係る半導体装置により達成される。即ち、請求項1に係る半導体装置は、半導体基板と、半導体基板上に形成された絶縁膜と、絶縁膜に開口された開口部を介して半導体基板上に形成されたゲート電極とを有する半導体装置であって、絶縁膜の比誘電率が、1~3.5であることを特徴とする。

【0017】このように請求項1に係る半導体装置においては、半導体基板上に形成されたゲート電極近傍の絶縁膜の比誘電率が1~3.5であることにより、通常のゲート電極近傍の絶縁膜として使用されるSiO系の絶

縁膜の比誘電率よりも小さくなるため、寄生容量が低減され、半導体装置の高周波特性が向上する。

【0018】なお、上記請求項1に係る半導体装置において、比誘電率が1~3.5の絶縁膜としては、炭素(C)原子を含む有機系誘電体膜が好適である。このような炭素原子を含む有機系誘電体膜としては、例えばポリイミド膜(比誘電率3.0~3.5程度)、ポリパラキシリレン膜(比誘電率2.4程度)、ベンゾサイクロブテン膜(比誘電率2.0程度)等の有機系誘電体膜がある。

10

【0019】また、比誘電率が1~3.5の絶縁膜としては、フッ素(F)原子を含む誘電体膜も好適である。このようなフッ素原子を含む誘電体膜としては、例えばSiOF(酸弗化珪素)膜等の無機の誘電体膜がある。

【0020】更に、比誘電率が1~3.5の絶縁膜としては、ホウ素(B)原子を含む誘電体膜も好適である。このようなホウ素原子を含む誘電体膜としては、例えば上記のSiOF膜のフッ素をホウ素に置換したSiOB膜等の無機の誘電体膜がある。

20

【0021】また、請求項5に係る半導体装置は、上記請求項1~4のいずれかに係る半導体装置において、ゲート電極がT型構造であることを特徴とする。

【0022】このように請求項5に係る半導体装置においては、ゲート電極がT型構造である、即ちゲート電極の断面がT型形状をなしていることにより、ゲート抵抗が低減されるため、半導体装置の高周波特性が向上する。

【0023】

【発明の実施の形態】以下、添付図面を参照しながら、30 本発明の実施の形態を説明する。

(第1の実施形態) 図1は本発明の第1の実施形態に係るリセスゲート構造のHEMTを示す概略断面図であり、図2~図7はそれぞれ図1に示すリセスゲート構造のHEMTの製造方法を説明するための工程断面図である。

40

【0024】図1に示されるように、本実施形態に係るリセスゲート構造のHEMTにおいては、半絶縁性GaAs基板11上に、高純度GaAsチャネル層12、n-AlGaAs電子供給層13、及びn'-GaAsコントラクト層14が順に積層されて、HEMT基板15を構成している。

【0025】また、このHEMT基板15においては、n-AlGaAs電子供給層13上のn'-GaAsコントラクト層14が選択的に除去されて、径0.7μm程度のリセス溝19が形成されている。また、HEMT基板15のn'-GaAsコントラクト層14上には、厚さ約200nm、比誘電率2.4程度のポリパラキシリレン膜16が形成されている。そして、リセス溝19上方のポリパラキシリレン膜16には、径0.5μmの開口部18bが形成されている。即ち、この開口部18bの

50

径はリセス溝19の径よりも小さくなっている。

【0026】また、このポリパラキシリレン膜16の開口部18b内には、Ti膜、Pt膜、及びAu膜が順に積層されたTi/Pt/Au積層膜が充填され、リセス溝19内においてn-AlGaAs電子供給層13にショットキー接続するTi/Pt/Auゲート電極20aが形成されている。

【0027】更に、図示は省略するが、Ti/Pt/Auゲート電極20aを挟むn'-GaAsコンタクト層14上には、AuGe/Ni/Auソース電極及びAuGe/Ni/Auドレイン電極がそれぞれオーミック接続されて形成されている。

【0028】このように、リセス溝19内においてn-AlGaAs電子供給層13にショットキー接続するTi/Pt/Auゲート電極20aが形成されているリセスゲート構造のHEMTにおいて、このTi/Pt/Auゲート電極20a近傍の絶縁膜として、比誘電率2.4程度のポリパラキシリレン膜16が用いられている点に本実施形態の特徴がある。

【0029】次に、図1に示すリセスゲート構造のHEMTの製造方法を、図2～図7を用いて説明する。先ず、図2に示されるように、半絶縁性GaAs基板11上に、高純度GaAsチャネル層12、n-AlGaAs電子供給層13、及びn'-GaAsコンタクト層14を順にエピタキシャル成長させる。こうして、これらの各層が半絶縁性GaAs基板11上に積層されたHEMT基板15を形成する。

【0030】続いて、このHEMT基板15のn'-GaAsコンタクト層14上に、ポリパラキシリレンポリマーをスピノコートした後、温度250℃において5分間のキュアを行う。こうして、n'-GaAsコンタクト層14上に、厚さ約200nm、比誘電率2.4程度のポリパラキシリレン膜16を形成する。

【0031】次いで、図3に示されるように、このポリパラキシリレン膜16上の全面に電子レジスト17を塗布形成した後、電子線露光を用いて、ゲート電極形成予定領域に径0.5μmの開口部18aを形成する。

【0032】次いで、図4に示されるように、この開口部18aを有する電子レジスト17をマスクとして、R1Eによりポリパラキシリレン膜16を選択的に異方性エッチングし、n'-GaAsコンタクト層14表面を露出する開口部18bを形成する。

【0033】次いで、図5に示されるように、電子レジスト17及びポリパラキシリレン膜16をマスクとし、クエン酸系のエッチャントを用いて、n'-GaAsコンタクト層14を選択的にエッチャング除去する。その際に、ポリパラキシリレン膜16下にアンダーカットが形成されるように横方向にもエッチャングを進行させる。こうして、HEMT基板15上のゲート電極形成予定領域に、n-AlGaAs電子供給層13上のn'-GaA

sコンタクト層14が選択的に除去されたリセス溝19を形成する。

【0034】次いで、図6に示されるように、基体全面にTi膜、Pt膜、及びAu膜を順に蒸着して、開口部18内のn-AlGaAs電子供給層13上及び電子レジスト17上にそれぞれTi/Pt/Au積層膜20を形成する。

【0035】次いで、図7に示されるように、有機溶剤を用いて、電子レジスト17と共にその上の不要なTi/Pt/Au積層膜20を除去する。こうして、n-AlGaAs電子供給層13上のn'-GaAsコンタクト層14が選択的に除去されたリセス溝19内においてn-AlGaAs電子供給層13にショットキー接続するTi/Pt/Auゲート電極20aを形成する。

【0036】最後に、図示は省略するが、ポリパラキシリレン膜16を選択的に除去して、Ti/Pt/Auゲート電極20aを挟むn'-GaAsコンタクト層14表面を露出した後、このn'-GaAsコンタクト層14上にオーミックに接続するAuGe/Ni/Auソース電極及びAuGe/Ni/Auドレイン電極をそれぞれ形成する。

【0037】このようにして、リセス溝19内においてn-AlGaAs電子供給層13にショットキー接続するTi/Pt/Auゲート電極20aが形成されていると共に、このTi/Pt/Auゲート電極20a近傍の絶縁膜として比誘電率2.4程度のポリパラキシリレン膜16が用いられているリセスゲート構造のHEMTが完成する。

【0038】以上のように本実施形態によれば、リセスゲート構造のHEMTにおけるTi/Pt/Auゲート電極20a近傍の絶縁膜として、比誘電率2.4程度のポリパラキシリレン膜16が用いられていることにより、従来のSiO₂膜やSiON膜等のSiO系の比誘電率の高い絶縁膜が用いられている場合と比較すると、寄生容量が低減されるため、HEMTの高周波特性を向上させることができる。

【0039】(第2の実施形態)図8は本発明の第2の実施形態に係るリセスゲート構造のHEMTを示す概略断面図であり、図9～図13はそれぞれ図8に示すリセスゲート構造のHEMTの製造方法を説明するための工程断面図である。なお、上記図1に示すHEMTの構成要素と同一の要素には同一の符号を付して説明を省略する。

【0040】図8に示されるように、本実施形態に係るリセスゲート構造のHEMTは、上記第1の実施形態の図1に示すリセスゲート構造のHEMTとほぼ同様の構成をなしており、異なる点は、図1におけるTi/Pt/Auゲート電極20aの代わりに、断面がT型形状をなしているT型構造のTi/Pt/Auゲート電極が設けられていることである。従って、その他の上記第1の

実施形態と共に通する構成についての説明は省略する。

【0041】次に、図8に示すリセスゲート構造のHEMTの製造方法を、図9～図13を用いて説明する。先ず、図9に示されるように、上記第1の実施形態の図2～図4に示される工程と同様にして、半絶縁性GaN基板11上に、高純度GaNチャネル層12、n-AlGaN電子供給層13、及びn'-GaNコンタクト層14を順にエピタキシャル成長させて、HEMT基板15を形成し、このHEMT基板15のn'-GaNコンタクト層14上に、厚さ約200nm、比誘電率2.4程度のポリパラキシリレン膜16を形成した後、このポリパラキシリレン膜16を選択的に異方性エッティングして、n'-GaNコンタクト層14表面を露出する開口部18bを形成する。

【0042】次いで、図10に示されるように、基体全面に、イメージリバーサルレジスト21を塗布形成した後、開口部18bを含むゲート電極形成予定領域に、逆テーパー形状の開口部22を形成する。

【0043】次いで、図11に示されるように、イメージリバーサルレジスト21及びポリパラキシリレン膜16をマスクとし、クエン酸系のエッチャントを用いて、n'-GaNコンタクト層14を選択的にエッティング除去する。その際に、ポリパラキシリレン膜16下にアンダーカットが形成されるように横方向にもエッティングを進行させる。こうして、HEMT基板15上のゲート電極形成予定領域に、n-AlGaN電子供給層13上のn'-GaNコンタクト層14が選択的に除去されたリセス溝23を形成する。

【0044】次いで、図12に示されるように、基体全面にTi膜、Pt膜、及びAu膜を順に蒸着して、開口部18b内のn-AlGaN電子供給層13上及び開口部18b周囲のポリパラキシリレン膜16上、並びにイメージリバーサルレジスト21上にそれぞれTi/Pt/Au積層膜24を形成する。

【0045】次いで、図13に示されるように、有機溶剤を用いて、イメージリバーサルレジスト21と共にその上の不要なTi/Pt/Au積層膜24を除去する。こうして、n-AlGaN電子供給層13上のn'-GaNコンタクト層14が選択的に除去されたリセス溝23内においてn-AlGaN電子供給層13にショットキー接続すると共に、その上部が開口部18b周囲のポリパラキシリレン膜16上にまで拡大したT型構造のTi/Pt/Auゲート電極24aを形成する。

【0046】最後に、図示は省略するが、ポリパラキシリレン膜16を選択的に除去して、T型構造のTi/Pt/Auゲート電極24aを挟むn'-GaNコンタクト層14表面を露出した後、このn'-GaNコンタクト層14上にオーミックに接続するAuGe/Ni/Auソース電極及びAuGe/Ni/Auドレイン電極をそれぞれ形成する。

【0047】このようにして、リセス溝23内においてn-AlGaN電子供給層13にショットキー接続するT型構造のTi/Pt/Auゲート電極24aが形成されていると共に、このT型構造のTi/Pt/Auゲート電極24a近傍の絶縁膜として比誘電率2.4程度のポリパラキシリレン膜16が用いられているリセスゲート構造のHEMTが完成する。

【0048】以上のように本実施形態によれば、リセスゲート構造のHEMTにおけるTi/Pt/Auゲート電極24a近傍の絶縁膜として、比誘電率2.4程度のポリパラキシリレン膜16が用いられていることにより、上記第1の実施形態の場合と同様、寄生容量が低減されてHEMTの高周波特性を向上させることができる。これに加え、このTi/Pt/Auゲート電極24aが断面積の大きいT型構造をなしていることにより、ゲート抵抗が低減されるため、HEMTの高周波特性を更に向上させることができる。

【0049】なお、上記第1及び第2の実施形態においては、Ti/Pt/Auゲート電極20a、24a近傍の絶縁膜として、比誘電率2.4程度のポリパラキシリレン膜16が用いられているが、ポリパラキシリレン膜16に限定する必要はなく、このポリパラキシリレン膜16の代わりに、例えば比誘電率3.0～3.5程度のポリイミド膜、比誘電率2.0程度のベンゾサイクロブテン膜等の有機系の低誘電率膜を用いてもよい。更に、これらの有機系の低誘電率膜の代わりに、フッ素原子を含む例えばSiOF膜等やホウ素原子を含むSiOB膜等の無機の低誘電率膜を用いてもよい。

【0050】また、上記第1及び第2の実施形態においては、リセスゲート構造のHEMTの場合について説明しているが、本発明はリセスゲート構造に限定されるものではない。また、HEMTに限定されるものでもなく、MESFETなどの他の種類の電界効果トランジスタ等を含め、広く半導体装置に適用することができる。

【0051】

【発明の効果】以上詳細に説明したように、本発明に係る半導体装置によれば、以下の効果を奏すことができる。即ち、請求項1に係る半導体装置によれば、半導体基板上に形成されたゲート電極近傍の絶縁膜の比誘電率が1～3.5であることにより、通常のゲート電極近傍の絶縁膜として使用されるSiO系の絶縁膜の比誘電率よりも小さくなるため、寄生容量が低減され、半導体装置の高周波特性を向上させることができる。

【0052】また、請求項5に係る半導体装置によれば、ゲート電極がT型構造であることにより、ゲート抵抗が低減されるため、半導体装置の高周波特性を更に向上させることができる。

【図面の簡単な説明】

50 【図1】本発明の第1の実施形態に係るリセスゲート構

造のHEMTを示す概略断面図である。

【図2】図1に示すリセスゲート構造のHEMTの製造方法を説明するための工程断面図（その1）である。

【図3】図1に示すリセスゲート構造のHEMTの製造方法を説明するための工程断面図（その2）である。

【図4】図1に示すリセスゲート構造のHEMTの製造方法を説明するための工程断面図（その3）である。

【図5】図1に示すリセスゲート構造のHEMTの製造方法を説明するための工程断面図（その4）である。

【図6】図1に示すリセスゲート構造のHEMTの製造方法を説明するための工程断面図（その5）である。

【図7】図1に示すリセスゲート構造のHEMTの製造方法を説明するための工程断面図（その6）である。

【図8】本発明の第2の実施形態に係るリセスゲート構造のHEMTを示す概略断面図である。

【図9】図8に示すリセスゲート構造のHEMTの製造方法を説明するための工程断面図（その1）である。

【図10】図8に示すリセスゲート構造のHEMTの製造方法を説明するための工程断面図（その2）である。

【図11】図8に示すリセスゲート構造のHEMTの製造方法を説明するための工程断面図（その3）である。

【図12】図8に示すリセスゲート構造のHEMTの製造方法を説明するための工程断面図（その4）である。

【図13】図8に示すリセスゲート構造のHEMTの製造方法を説明するための工程断面図（その5）である。

【図14】従来のリセスゲート構造のMESFETの製造方法を説明するための工程断面図（その1）である。

【図15】従来のリセスゲート構造のMESFETの製造方法を説明するための工程断面図（その2）である。

【図16】従来のリセスゲート構造のMESFETの製造方法を説明するための工程断面図（その3）である。

【図17】従来のリセスゲート構造のMESFETの製造方法を説明するための工程断面図（その4）である。

【図18】従来のリセスゲート構造のMESFETの製造方法を説明するための工程断面図（その5）である。

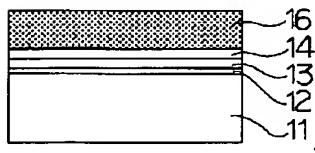
【図19】従来のリセスゲート構造のMESFETの製

造方法を説明するための工程断面図（その6）である。

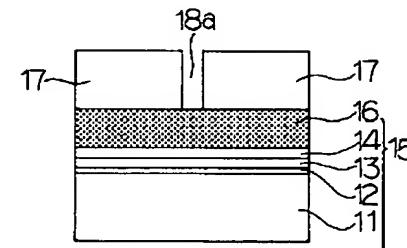
【符号の説明】

1 1	半絶縁性G a A s 基板
1 2	高純度G a A s チャネル層
1 3	n-A 1 G a A s 電子供給層
1 4	n'-G a A s コンタクト層
1 5	HEMT基板
1 6	ポリパラキシリレン膜
1 7	電子レジスト
10 1 8 a	開口部
10 1 8 b	開口部
1 9	リセス溝
2 0	T i / P t / A u 積層膜
2 0 a	T i / P t / A u ゲート電極
2 1	イメージリバーサルレジスト
2 2	開口部
2 3	リセス溝
2 4	T i / P t / A u 積層膜
2 4 a	T型構造のT i / P t / A u ゲート電極
20 3 1	半絶縁性G a A s 基板
3 2	G a A s バッファ層
3 3 a	n-G a A s 層
3 3 b	n'-G a A s 層
3 4 a	n-A 1 G a A s 層
3 4 b	n-A 1 G a A s 層
3 5	n'-G a A s 層
3 6	S i O N 膜
3 7	ホトレジスト
3 8	第1のリセス溝
30 3 9	S i O ₂ サイドウォール
4 0	第2のリセス溝
4 1	T i / P t / A u ゲート電極
4 2 a	A u G e / N i / A u ゲート電極
4 2 b	A u G e / N i / A u ソース電極
4 2 c	A u G e / N i / A u ドレイン電極

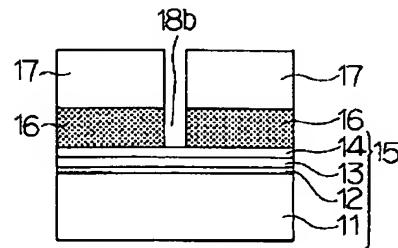
【図2】



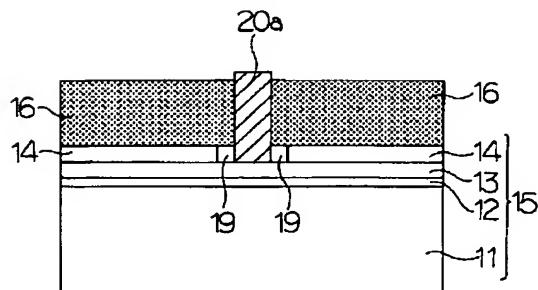
【図3】



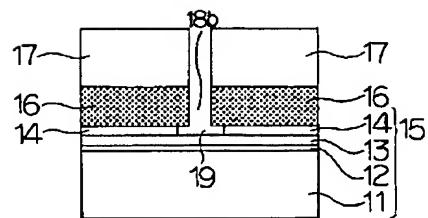
【図4】



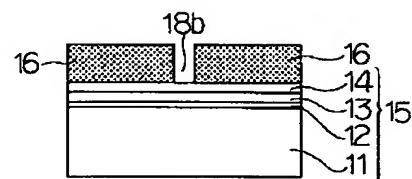
【図 1】



【図 5】

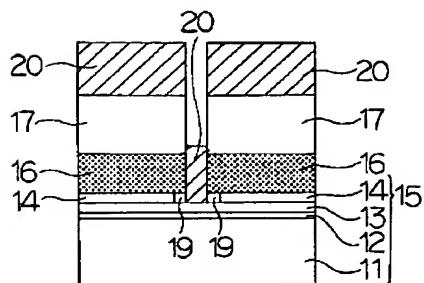


【図 9】

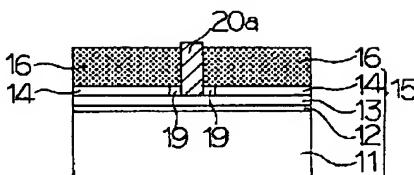


- 1 1…半絶縁性 GaAs 基板
- 1 2…高純度 GaAs チャネル層
- 1 3…n-A GaAs 電子供給層
- 1 4…n⁺-GaAs コンタクト層
- 1 5…HEMT 基板
- 1 6…ポリバカリシリレン膜
- 1 9…リセス溝
- 2 0a…Ti/Pt/Au ゲート電極

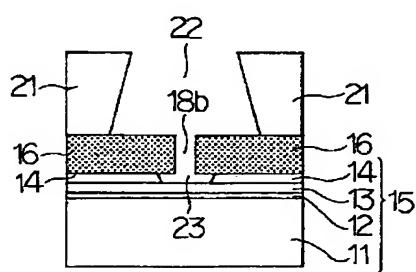
【図 6】



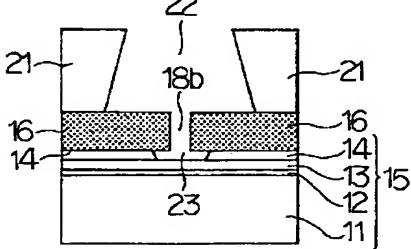
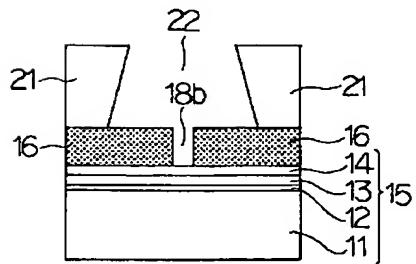
【図 7】



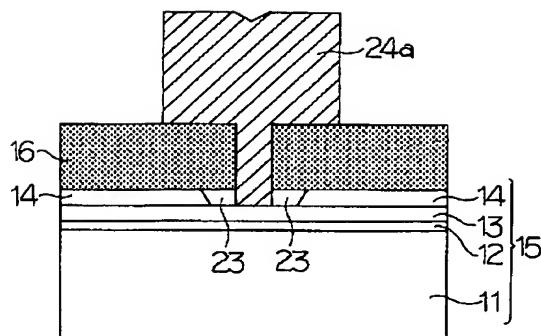
【図 11】



【図 10】

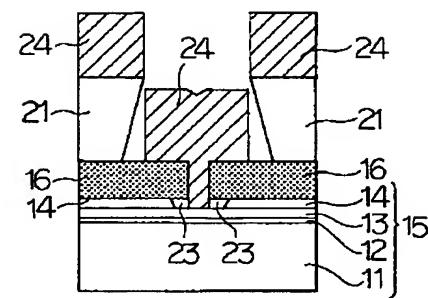


【図8】

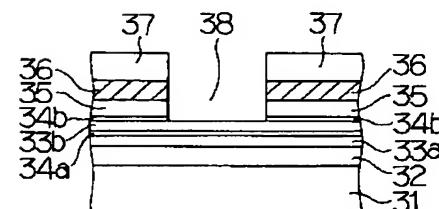


- 11…半絶縁性 GaAs 基板
- 12…高純度 GaAs チャネル層
- 13…n+ GaAs 電子供給層
- 14…n+ GaAs コンタクト層
- 15…HEMT 基板
- 16…ポリパラキシリレン膜
- 23…リセス溝
- 24a…T型構造の Ti / Pt / Au ゲート電極

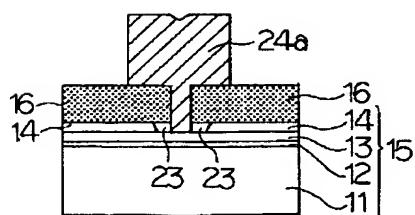
【図12】



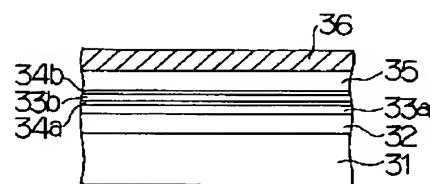
【図15】



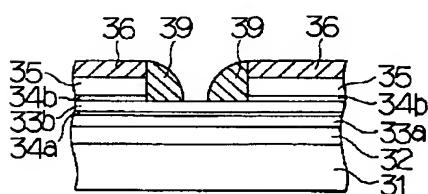
【図13】



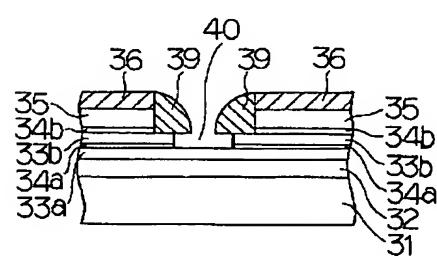
【図14】



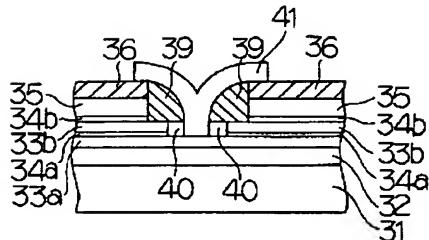
【図16】



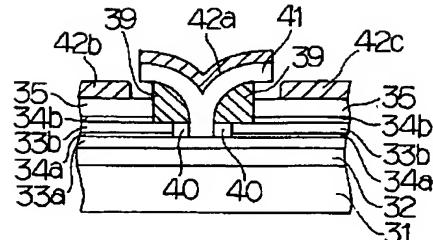
【図17】



【図18】



【図19】



フロントページの続き

F ターム(参考) 5F058 AB02 AC02 AC10 AF04 AG01
 AH01 BB02 BC02 BC04 BC11
 BF07 BJ01
 5F102 FA00 GB01 GC01 GD01 GJ05
 GL05 GM06 GN05 GQ01 GR04
 GS00 GS02 GS04 GV05 GV07
 GV08 HC01 HC11 HC16